

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

06-309216

(43)Date of publication of application : 04.11.1994

(51)Int.CI.

G06F 12/00  
G06F 12/08

(21)Application number : 06-079189

(71)Applicant : MOTOROLA INC

(22)Date of filing : 28.03.1994

(72)Inventor : BIGGS TERRY L

LAGANA ANTONIO A

(30)Priority

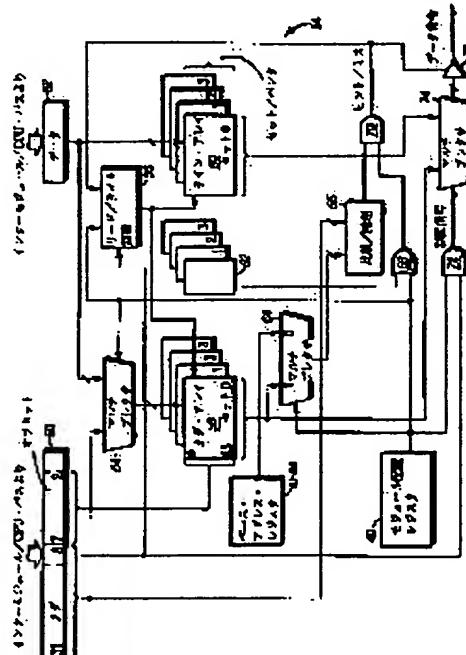
Priority number : 93 43065 Priority date : 05.04.1993 Priority country : US

## (54) DATA PROCESSOR HAVING CACHE MEMORY USABLE AS LINEAR RAM BANK

### (57)Abstract:

PURPOSE: To provide a data processing system having a double-purpose memory consisting of multiple cache sets.

CONSTITUTION: Each cache set is arranged as either the cache set or an SRAM bank, and according to the arrangement, a tag storage array 58 stores actual data in SRAM mode and a set of tag entries in cache mode. An element array register 40 specifies the mode of each set or bank and a set of base address registers 41-44 determines the high-order bits of the base address of the SRAM bank. In SRAM mode, comparison logic 66 compares the tag field 50 of a necessary address with the base address to determine an access hit. The least significant bit of the tag field of the address is used to select the tag storage array or a line array 60 for the reading or writing of the necessary address data.



### LEGAL STATUS

[Date of request for examination]

**BEST AVAILABLE COPY**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-309216

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. <sup>5</sup> G 0 6 F 12/00 12/08	識別記号 5 5 0 C 9366-5B G 7608-5B	府内整理番号 F I	技術表示箇所
--	--------------------------------------	---------------	--------

審査請求 未請求 請求項の数3 FD (全9頁)

(21)出願番号 特願平6-79189	(71)出願人 390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンクイン・ロード1303
(22)出願日 平成6年(1994)3月28日	(72)発明者 テリー・エル・ビッグス アメリカ合衆国テキサス州ドリッピング・ スプリングス、シャディウッド・レーン 501
(31)優先権主張番号 0 4 3 0 6 5	(74)代理人 弁理士 本城 雅則 (外1名)
(32)優先日 1993年4月5日	
(33)優先権主張国 米国(US)	

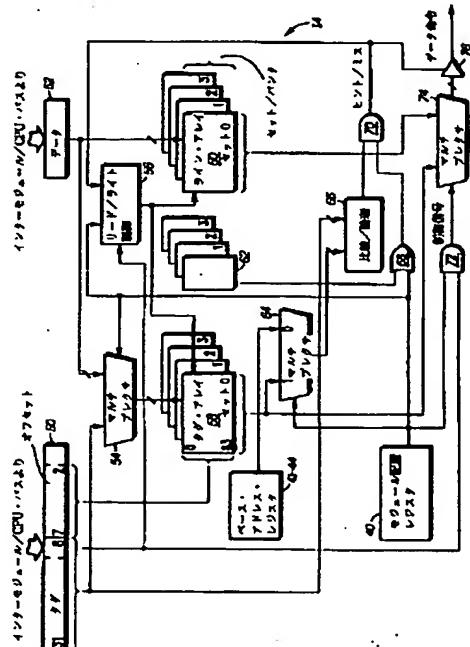
最終頁に続く

(54)【発明の名称】 線形ラム・バンクとして使用可能なキャッシュ・メモリを有するデータ・プロセッサ

(57)【要約】 (修正有)

【目的】 多重キャッシュ・セットから成る2重目的メモリ14を有するデータ処理システム10を提供する。

【構成】 各キャッシュ・セットをキャッシュ・セット又はSRAMバンクの何れかとして配置し、その配置に基づいてSRAMモードの場合タグ格納配列58は実際のデータを格納し、キャッシュ・モードの場合タグ・エントリのセットを格納する。素子配列レジスタ40は各セット/バンクのモードを特定し、ベース・アドレス・レジスタ41-44のセットはSRAMバンクのベース・アドレスの上位ビットを決定する。SRAMモードの場合比較論理66は必要なアドレスのタグ・フィールド50とベース・アドレスとを比較してアクセス・ヒットを決定する。そのアドレスのタグ・フィールドの最下位ビットは、必要なアドレス・データのリード/ライトに対してタグ格納配列又はライン・アレイ60の何れかを選択する。



## 【特許請求の範囲】

【請求項1】 プロセッサ(12)と、複数のデータ・エントリを所定数のメモリ・アドレスで格納するメモリ(14)を有するデータ・処理システム(10)において、前記メモリ(14)は、通信バス(26)を介して前記プロセッサ(12)によって与えられる必要とされるメモリ・アドレスのタグ・フィールドを用いて、前記メモリ(14)に格納される選択されたデータ・エントリにアクセスし、前記メモリ(14)は：所定数のキャッシュ・セットから構成される第1手段(40, 54, 56, 58, 60)であって、各キャッシュ・セットは制御レジスタに格納されるモード選択値に応答してキャッシュ・メモリ又はスタティック・ランダム・アクセス・メモリの何れかとして動作すべく個別に配置され、各キャッシュ・セットは前記SRAMとして動作する際にはメモリ・バンク・ベース・アドレスを有し、前記第1手段は各キャッシュ・セットに対して：キャッシュ動作モードの場合は所定数のタグ・エントリを格納し、SRAM動作モードの場合は所定数のデータ・エントリを選択的に格納する第1配列(58)；前記通信バス(26)に結合し、前記複数のデータ・エントリを格納する第2配列(60)から構成される第1手段；および前記第1手段に結合し、第1論理状態である前記モード選択値に応答して、前記必要とされるメモリ・アドレスの前記タグ・フィールドと前記SRAM動作モードにおいてベース・アドレス・レジスタ(41-44)に格納される各キャッシュ・セットの前記メモリ・バンク・ベース・アドレスとを選択的に比較して、前記メモリ(14)においてアクセス・「ヒット」を決定する第2手段(64, 66, 68, 70, 72, 74)であって、前記アクセス・ヒットの検出に応答して前記第2手段は前記必要とされるアドレスにおける所定のビットを用いて、前記プロセッサ(12)によって必要とされるアドレス・データ・リード又はライトに応答してアクセスするため前記第1配列(58)又は第2配列(60)の何れかを選択する第2手段；から構成されることを特徴とするデータ処理システム(10)。

【請求項2】 プロセッサ(12)と、nウェイ・セット関連メモリ(14)とを有するデータ処理システム(10)であって、nは前記メモリ(14)におけるキャッシュ・セット数を表現する整数値であり、前記メモリ(14)は複数のデータ・エントリを所定のメモリ・アドレス数で格納し、通信バス(26)を介して前記プロセッサ(12)により与えられる必要なメモリ・アドレス(50)を用いて前記キャッシュ・セットの内1つにおける選択された位置にアクセスし、前記メモリ(14)は：前記通信バス(26)に結合する第1手段(40, 54, 56, 58, 60)であって、前記第1手段(54, 56, 58, 60)は前記メモリにおける前記セットの各1つに対して、所定数のタグ・エントリ又は所定数のデータ・エントリの何れかを選択的に格納する第1配列(58)と、前記複数のデータ・エントリを格納する第2配列(60)とを有し、前記メモリにおける前記セットの各1つは制御レジスタ(40)に格納される値に応答してキャッシュ・メモリ又はスタティ

ック・ランダム・アクセス・メモリ(SRAM)として動作すべく個別に配置される第1手段；および前記第1手段(54, 56, 58, 60)に結合する第2手段(64, 66, 68, 70, 72, 74)であって、第1論理状態である前記制御レジスタ(40)に格納される前記値に応答して、前記必要とされるメモリ・アドレス(50)の前記タグ・フィールドと前記第1配列(58)において格納されるタグ・エントリの選択されたセットとを選択的に比較し、キャッシュ・メモリとして動作すべく配置された前記第1手段(40, 54, 56, 58, 60)における各セットに対して、キャッシュ・「ヒット」を決定するため前記第2手段(64, 66, 68, 70, 72, 74)は前記必要とされるアドレスの前記タグ・フィールドとベース・アドレス・レジスタ(41-44)に格納されるベース・アドレスとを選択的に比較し、アクセス・「ヒット」を決定するためSRAMメモリとして動作すべく配置された前記第1手段(40, 54, 56, 58, 60)における各セットに対して、前記アクセス・ヒットの検出に応答して前記第2手段(64, 66, 68, 70, 72, 74)は前記必要とされるアドレス(50)における所定のビットを用いて、前記プロセッサ(12)によって必要とされるアドレス・データ・リード又はライトに応答して、アクセスされるべき前記第1配列(58)又は前記第2配列(60)の何れかを選択する第2手段；から構成されることを特徴とするデータ処理システム(10)。

【請求項3】 プロセッサ(12)と、複数のデータ・エントリを所定のメモリ・アドレス数で格納するキャッシュ・メモリとを有するデータ処理システム(10)であって、前記キャッシュ・メモリ(14)は通信バス(26)を介して前記プロセッサ(12)により与えられる必要なメモリアドレスのタグ・フィールドを用いて、前記キャッシュ・メモリ(14)に格納される選択されたデータ・エントリにアクセスし、前記キャッシュ・メモリ(14)は：前記通信バス(26)に結合する第1手段(40, 54, 56, 58, 60)であって、前記第1手段(40, 54, 56, 58, 60)は所定数の格納バンクから構成され、前記格納バンクの各々は、制御レジスタ(40)に格納されるモード選択値に応答して、キャッシュモード又はスタティック・ランダム・アクセス・メモリ(SRAM)モードで個別に動作すべく選択的に配置され、前記第1手段(40, 54, 56, 58, 60)は前記キャッシュ・モードの場合に所定数のタグ・エントリを格納し、前記SRAMモードの場合に所定数のデータ・エントリを格納する第1配列(58)と、前記所定数のデータ・エントリを格納する第2配列とから構成される前記第1手段：前記第1手段(40, 54, 56, 58, 60)に結合する第2手段(64, 66, 68, 70, 72, 74)であって、第1論理状態である前記モード選択値に応答して、前記SRAM動作モードの場合に、前記必要とされるメモリ・アドレスの前記タグ・フィールドと、ベース・アドレス・レジスタ(41-44)に格納される前記格納バンクに対するベース・アドレスとを比較して前記キャッシュ・メモリ(14)においてアクセス・「ヒット」を決定し、前記アクセス・ヒットの検出に応答して前記第2手段(64, 66, 68, 70, 72, 74)は前

記必要なアドレスにおける所定のビットを用いて、前記プロセッサ(12)によって必要とされるアドレス・データ・リード又はライトに応答して前記選択されたデータ・エントリにアクセスされるべき前記第1配列(58)又は前記第2配列(60)の何れかを選択する第2手段；および前記第2手段(64,66,68,70,72,74)に結合し、前記通信バス(26)を介して前記選択されたデータ・エントリを前記プロセッサ(12)に伝達する第3手段(76)；から構成されることを特徴とするデータ処理システム(10)。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は一般にデータ・プロセッサに関し、特に、データおよび命令キャッシュ・メモリを有するデータ・プロセッサに関する。

## 【0002】

【従来の技術および発明が解決しようとする課題】今日多くの高性能データ処理システムでは、キャッシュ・メモリの容量を非効率的に使用しているという問題がある。この非効率性は、異なるキャッシュ構造を用いるときに、一般に異なるアプリケーションが所望のヒット・レート(hit rate)を達成することに大きく影響する。いくつかのアプリケーションでは、2方向又は直接マップ・キャッシュ(direct mapped hash)で十分であり、それゆえ外部のキャッシュ・セットはヒット・レートを僅かに増加させるに過ぎない。たとえば、xウェイ(x-way)・キャッシュが十分なヒット・レートを与える場合、x=1であるときは、(n-1)キャッシュ・セットが十分に活用されていないこととなる(ここでnは2以上の整数である)。したがって、異なるヒット・レート条件を有するアプリケーションが、ランダム・アクセス・メモリ(RAM)として使用するためのキャッシュ・セットを開放する必要がある。

【0003】さらに従来のキャッシュにおける問題は、タグ・ストア・アレイ(tag store array)を使用することに関連する大きなオーバーヘッドである。一般に、所望のヒット・レートを提供するために必要なタグ・ストア・アレイの大きさは、ライン・ストア・アレイにおいて格納される実際のデータのバイト数の2倍のオーダーである。したがって、所望のヒット・レートを提供するため「x」セットのみが必要であるとき、ライン・ストア・アレイに格納される実際のデータのバイト数の2(n-x)倍が費やされる。各活用されていないキャッシュ・セットは、RAMバンクとして使用すれば、実際の情報蓄積のバイト数の2倍を潜在的に提供し得るであろう。従来のデータ・プロセッサは、そのシステム・ソフトウェアがキャッシュ・メモリをロードし、スタティックRAMとしてキャッシュ・メモリを使用し得る構造(すなわちキャッシュの充填をディセーブルするためのビット)を提供している。この「フリーズ(freeze)」ビットにより、データ・プロセッサが一度に1つのキャッシュ・セットをディセーブルする。したがって、上述した問題を克服するキャッシュ・メモ

リを提供することが望まれている。

## 【0004】

【課題を解決するための手段】本発明によるデータ処理システムは、プロセッサと、所定のメモリ・アドレス数で複数のデータ・エントリを格納するメモリとを有する。そのメモリは、プロセッサによって与えられる必要なメモリ・アドレスのタグ・フィールドを、通信バスを介して使用し、メモリに格納されている選択されたデータ・エントリにアクセスする。メモリは、予め決定される

10 格納セット数を有し、その各々は、制御レジスタに格納されるモード選択値に応答して、キャッシュ・メモリとして又はスタティック・ランダム・アクセス・メモリとして動作すべく個別に配置される。各格納セットは、キャッシュ動作モードにおいて所定数のタグ・エントリ数を格納し、SRAM動作モードにおいて所定数のデータ・エントリを選択的に格納する第1配列と、複数のデータ・エントリを格納する第2配列とを有する。制御レジスタにおけるモード選択ビットは、各格納セットの配置がキャッシュ・メモリ又はSRAMの何れであるかを示す。選択論理は各格納セットに結合される。第1論理値を有するモード選択ビットに応答して、その選択論理は、必要とされるメモリ・アドレスのタグ・フィールドと、SRAM動作モードにおける格納セットのメモリ・バンク・ベース(memory bank base)・アドレスを比較し、そのメモリにおけるアクセス・「ヒット」を決定する。アクセス・ヒットが生じると、選択論理は必要とされるアドレスにおいて所定のビットを使用し、前記プロセッサによって必要とされるアドレス・データ・リード又はライトに応答して、アクセスされるべき第1配列又は第2配列の何れかを選択する。

## 【0005】

【実施例】図1は本発明の好適実施例に係るデータ処理システム10のブロック図である。好適実施例にあっては、データ処理システム10は6つのモジュールから成り、各々はインターモジュール・バス24を介して又は外部システム(図示されてはいない)と直に通信する。本実施例にあっては、IMB(InternModule Bus)24は7つの信号群からなり、その信号群はアドレス、データ、制御、マスター・シップ(mastership)、割り込み、リセット、およびデバッグを含む。IMB24のためのプロトコルは、各モジュールがバスの活用度(activity)を監視することを可能にしており、その結果どのモジュールが次のバス・マスターであるかをつきとめることが可能である。命令処理モジュール(プロセッサ)12は、内部通信バス26を介して2重目的命令キャッシュ・モジュール14に結合する。第2メモリ・モジュール16は、4096バイトのスタティック・ランダム・アクセス・メモリであり、IMB24に結合する。メモリ16は4x1024バイトのブロックとして構成され、各4つのブロックは独自の関連ベース・アドレス・レジスタ(associated Base Address Register)(図示されてはいない)を有し、ユーザがそのメモリ・ブロックをプログラムしてメ

モリ・マップの異なる部分から操作することを可能にする。したがって本実施例にあっては、各メモリ・ブロックはメモリ・マップの4Cバイトのアドレス範囲内にいかなる場所にでも配置され得る。

【0006】2重チャネル直接メモリ・アクセス(DMA)コントローラ18は、アドレスおよびデータの両者の32ビットをまかなう。2重シリアル入力/出力モジュール22は、十分に独立した2つのユニバーサル非同期送受信機(UART S:universal asynchronous receiver transmitter)である。好適実施例にあっては、2重シリアル・モジュール22の各チャネルは、非同期モードで最高4MBpsの伝送速度を有する。好適実施例では、バスインターフェース・コントローラ20は、システムのバス18を介して、データ処理システム10の種々のモジュールと、メモリ30を有する外部システム環境との間の基本的なインターフェースを与える。バス・インターフェース・コントローラ20は、データ処理システム10全体に渡って使用されるいくらかの資源を有する。これらの資源の第1のものは、モジュール・マップのベース・アドレスである。バス・インターフェース・コントローラ20を含む内部レジスタの全ては、そのバス・インターフェース・コントローラ20内の4Kバイト・ブロックに配置される。この4Kバイト・ブロックのベース・アドレスはプログラム可能であり、プロセッサ12のアドレス空間に帰属する。

【0007】本発明にあっては、命令キャッシュ・モジュール14は2重目的モジュールであり、これはプロセッサ12に対して1Kバイト命令キャッシュおよびスタティック・ランダム・アクセス・メモリ(以下「命令キャッシュ/SRAMモジュール14」という)として使用することが可能である。SRAMとして用いる場合、命令キャッシュ14は、プロセッサの命令および/又はデータの一般的な格納に対して高速なメモリを提供する。したがって、命令キャッシュ・モジュール/SRAM14は、モジュール14の一部分が命令キャッシュとして機能し(Iキャッシュ・モード)、他の部分はSRAMとして(SRAMモード)として機能する「2重(dual 1)」のモードで動作すべく構成される。命令キャッシュ/SRAMモジュール14における全てのレジスタのプログラムのモデル(レジスタ・マップ)は図2に示される。図2では、最も右側上部にある数が、モジュール・ベース・アドレス・レジスタにおいて格納されたアドレスからの、レジスタのオフセットを示す。レジスタにおける右側上部の第1列目の数はそのレジスタにおけるビット位置を示す。第2のラインはビットに対するニーモニック(mnemonic)を含む。レジスタの下側にある数は、リセット後のビットの値を示す。したがって本実施例では、モジュール配置レジスタ(MCR)40は、命令キャッシュ/SRAMモジュール14の配置を含む。MCR40はスーパーバイザ状態においてリード又はライトすることが可能である。

【0008】以下ロック/ライト・プロテクト・ビット(LWFO-LWP3)について説明する。

【0009】Iキャッシュ・モードでは、LWPビットは対応するセットのロック状態を示す。したがって、LWPビットが論理「1」であるとき、そのセットはロックされてラインが置き換えられることはない。また、そのビットが論理「0」であるとき、セットはロックされず、キャッシュ・ミス(misses)又はロードの間ラインが置き換えられる。SRAMモードでは、LWPビットは、対応するSRAMバンクのライト・プロテクト状態を表現する。したがって、LWPビットが論理「1」であるとき、SRAMバンクはライト・プロテクトされ、リード・アクセスのみが可能になる。SRAMバンクに書き込みを行おうとすると、バス・エラー信号となる。LWPビットが論理「0」であるとき、SRAMバンクはライト・プロテクトされない。

【0010】次にIキャッシュ・セットに対する無効ビット(INV0-INV3)について説明する。

【0011】INVビットは、命令キャッシュ/SRAMモジュール14におけるセットの内容全体を無効にする方法を提供する。これらのビットは書き込みのみであり、いかなる読み込みも「0」をかえす。INVビットが論理「1」と書き込まれているとき、対応するセットにおける全てのラインは無効にされ、その結果以後のキャッシュ・リード・アクセスは「ミス(miss)」となる。そのキャッシュ・ラインが有効な状態は、各ライン個々の有効(V)ビット62によって与えられる。

【0012】次にIキャッシュ/SRAMモード・ビット(MD0-MD3)について説明する。

【0013】MDビットは命令キャッシュ/SRAMモジュール14の対応するセット/バンクのモードを特定するため使用される。MDビットが論理「1」であるとき、命令キャッシュ/SRAMモジュール14における対応するセットはSRAMモードにおけるものである。これに対して、MDビットが「0」であるとき、命令キャッシュ/SRAMモジュール14における対応するセットはIキャッシュ・モードにおけるものである。

【0014】次にモジュール・イネーブル・ビット(ENAB)について説明する。

【0015】命令キャッシュ/SRAMモジュール14は、このビットがセット(「1」)されるときにイネーブルされ、このビットがクリア(「0」)されるときにディセーブルされる。

【0016】次にSRAMベース・アドレス・レジスタ0-3(BA DDR0-3)について説明する。

【0017】ベース・アドレス(BA)フィールドは、命令キャッシュ/SRAMモジュール14におけるSRAMバンクのベース・アドレスの上位23ビットを決定する。このフィールドは、対応するキャッシュ・セットがSRAMモードにおかれたときにのみ使用される。既に述べたように、スーパーバイザ/ユーザ空間(S/U)ビットは、スーパーバイザのアクセスのみ又はスーパーバイザ/ユーザ空間のアクセスとしてSRAMバンクを指定する。したがって、S/U

ビットがセット(「1」)されるとき、そのパンクはスーパー・バイザのアクセスのみである。あるいは、S/Uビットがクリア(「0」)されるとき、そのパンクはスーパー・バイザ/ユーザがアクセス可能である。

【0018】図3は本発明による命令キャッシュ・モジュールのブロック図である。本発明の好適実施例にあっては、Iキャッシュ・モードにおいて、命令キャッシュ/SRAMモジュール14は、各64ラインの4セット(セット0-3)を有するセット関連命令キャッシュ(set associative instruction cache)として構成される。既に述べたように、命令キャッシュ/SRAMモジュール14がIキャッシュ・モードにあるとき、モジュール配置レジスタ40がそのことを示す。各キャッシュ・ラインは、タグ・アレイ58内に格納されるアドレス・タグ(TAG)と、1ワード当たり有効(「V」)ビット62から構成される状態の情報と、ライン・アレイ60内に格納される命令情報の4バイト(LINE)とを含む。アドレス・タグは、物理アドレスの上位24ビットを含む。動作時においては、プロセッサ12がフェッチ要求命令をなすとき、命令キャッシュ/SRAMモジュール14はアドレス50の6ビットを使用し、プロセッサ・バス26を介するものとすれば、タグ・アレイ58内で指定するオフセットとして、64ラインのうち1つを選択する。比較論理66は、選択されたキャッシュ・ラインからそのタグを、マルチブレクサ64を介するものとすれば、物理アドレス・ビットA31-A8に対して比較する。もしタグの任意の1つが一致してラインの状態が有効であるならば、ORゲート68で示されるように、ANDゲート70はキャッシュ・「ヒット」を示す。キャッシュ・ヒットが生じると、リード/ライト制御論理56は、ライン・アレイ60からマルチブレクサ74に読み込まれるべき必要な命令をイネーブルする。ANDゲート72は、マルチブレクサ74の動作を制御するために制御信号を与える。従って必要な命令は、バッファ76を介してプロセッサ12に伝達される。ANDゲート70がキャッシュ・「ミス」の発生を示すとき、バス・インターフェース・コントローラ20は、メモリ・ラインが外部メモリ30から必要な命令を取り込むことを要求し、そのラインはIMB24を介して命令キャッシュ/SRAMモジュール14にロードされる。したがって、リード/ライト制御論理56は「ミス」制御信号をANDゲート70から受信し、IMB24を介してライン・アレイ60にロードされるべき必要な命令に対応するデータ・エントリ52をイネーブルする。

【0019】本発明の好適実施例にあっては、命令キャッシュ/SRAMモジュール14における各4セットは、プロセッサ(CPU)バス26を介して、プロセッサ12によってのみアクセス可能な512バイトSRAMとして利用される。従って、各SRAMパンク(キャッシュ・セット)は512バイトのバウンドリ(boundary)に沿って再配置され、各セットの動作モード(Iキャッシュ又はSRAM)は他のセットの動作モードに対して独立である。メモリ・パンク(キャッシュ・セット)の内容全体は、モジュール配置レジスタ(MCR)40

におけるLWPビットをセットすることによって書き込み保護される。本発明にあっては、SRAM配置と通常のキャッシュ配置との間の主要な相違点は、タグ格納エントリ又はユーザ特定ベース・アドレスを用いて、タグ格納エントリ又はベース・アドレス・レジスタ41に格納されるユーザ特有のベース・アドレスの何れかを選択し、その必要とされるアドレス50に合わせていることである。したがって、あるセットがRAMパンクとして用いられている場合(モジュール配置レジスタ40においてセット・モード(MD)ビットによって決定される場合)、必要なアドレス50のTAGフィールドは、比較論理66によりベース・アドレス・レジスタ41に対して比較されてアクセス・「ヒット」を決定する。

【0020】SRAMモードにあっては、アクセス・「ヒット」が生じるとき、ANDゲート72は必要なアドレス50のTAGフィールドの最下位ビット(ビット8)を用いて、必要なアドレス・データのリード/ライトに対してタグ・アレイ58又はライン・アレイ60の何れかを選択する。リード・「ヒット」・アクセスの場合、ANDゲート70は「ヒット」信号をリード/ライト制御論理56に提供して、タグ・アレイ58又はライン・アレイ60の何れかから読み込まれるべき必要なデータをイネーブルする。要求されたアクセスがデータ・ライトのとき、リード/ライト制御論理56はタグ・アレイ58又はライン・アレイ60の何れかに書き込まれるべきデータ52をCPUバス26からイネーブルする。アクセス・「ミス」が生じたとき(SRAMモードにおいて)、必要なデータはデータ処理システム10における他の資源(すなわち外部メモリ30)から取り出される。従ってSRAMモードにあっては、各パンクはIキャッシュ・モードにおけるセットの2倍のデータ蓄積容量を有する。これは、ランダムに散らばったデータおよび命令のキャッシング(cash-in)を行うか、または、隣接するメモリ範囲におけるデータおよび命令の2倍の量を保持するかの何れを採用するかによって得られるものである。本発明は、ライン・アレイ60に加えてRAMとしてタグ・アレイ58を使用することによってデータ保持容量を増進させている。その結果、キャッシュ・セットがRAMとして用いられるとき、RAM容量は増進し、タグ・メモリ・セルの利用性を改善する。

【0021】従って本発明によれば、命令キャッシュ・モジュール14は、0以上n以下のxに対してxウェイ・セットに関連するもの(x-way set-associative)としてユーザが配置を構成することが可能であり、ここでnはセットの数である。各セットはMバイト容量のセット又は2Mバイト容量のRAMパンクの何れかとして個別に構成することが可能であり、ここでMはバイト/セットの数である。このことはシステム設計者又はオペレーティング・システムが特定のアプリケーションに対して所望の関連度(associativity)を選択することを可能にするが、その一方で残りのセットを高速、多目的、再配置可能なRAMとして使用可能にする。さらに本発明は、従来の特定さ

れたデータおよび命令キャッシュにおけるタグ・ストアにより与えられる蓄積オーバーヘッドを用いることなしに、高速RAMメモリにおいて頻繁に用いられる隣接する命令およびデータを保持可能にすることによって、機能性および柔軟性を増進する。

【0022】

【発明の効果】以上本発明を1つの実施例について説明してきたが、本発明は様々な方法で実現されうるであろうことは、当業者にとって明らかであろう。たとえば他の実施例にあっては、タグ・アレイ58がベース・アドレス・レジスタであり、ライン・アレイ60が1つであることも可能である。そのような場合は、命令キャッシュ14を2つの独立な再配置可能なRAMバンクに分割することとなる。従って、本発明の精神から逸脱することなしに、本発明はこれら全ての関連する改良を包含することを意図する。

【図面の簡単な説明】

【図1】本発明による線形RAMバンクとして使用することが可能なキャッシュ・メモリ・モジュールを有するデータ処理システムのブロック図である。

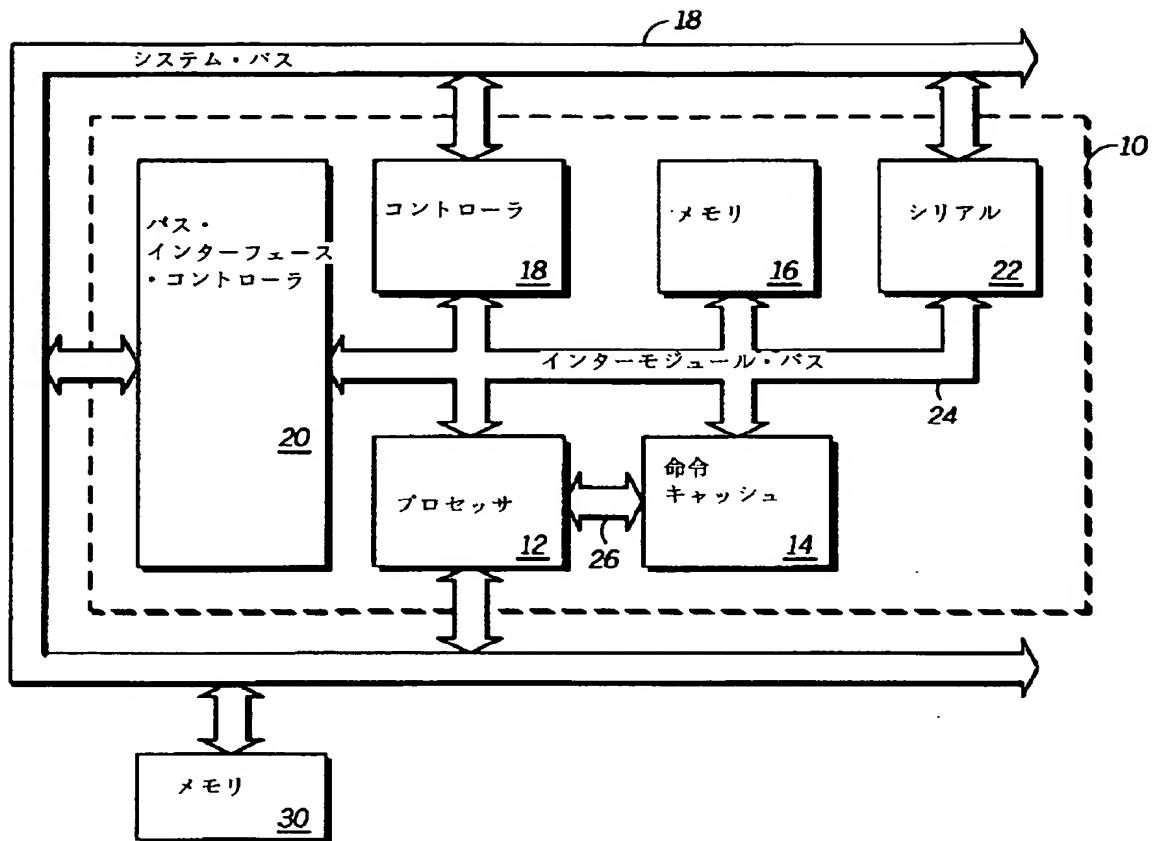
【図2】本発明によるキャッシュ・メモリ・モジュールに

おけるレジスタのセットのプログラマのモデルを示す。【図3】本発明によるキャッシュ・メモリのブロック図である。

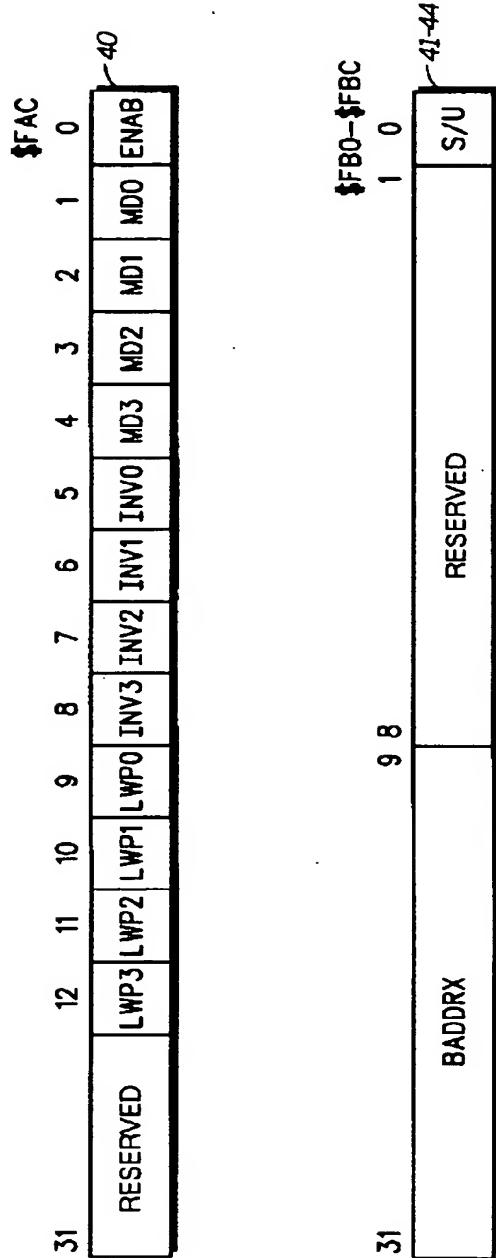
【符号の説明】

- 10 10 データ処理システム
- 12 12 プロセッサ
- 14 14 命令キャッシュ
- 16 16 メモリ
- 18, 24, 26 18, 24, 26 バス
- 20 10 20 バス・インターフェース制御装置
- 22 22 シリアル入力/出力
- 30 30 外部メモリ
- 40 40 モジュール配置レジスタ
- 52 52 データ
- 54, 64, 74 54, 64, 74 マルチブレクサ
- 56 56 リード/ライト制御装置
- 58 58 タグ・アレイ
- 60 60 ライン・アレイ
- 68 68 ORゲート
- 70, 72 20 ANDゲート
- 76 76 バッファ

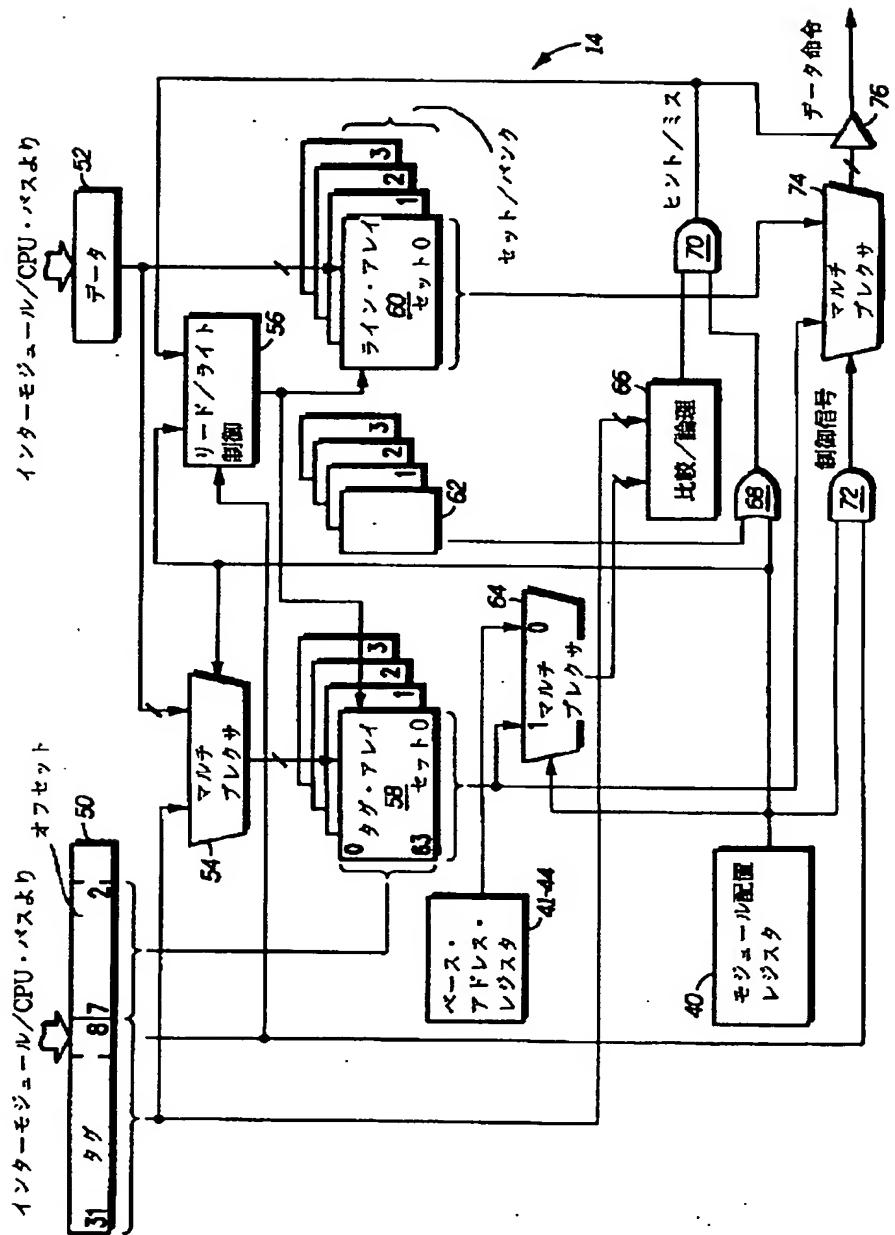
【図1】



【図2】



[図3]



## フロントページの続き

(72)発明者 アントニオ・エー・ラガナ

アメリカ合衆国テキサス州オースチン、アパートメント・ナンバー291、ウエスト・ウィリアム・キャノン・ドライブ1500

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**